

HIGH-SPEED INTEGRATED SIMULATION SYSTEM IN PLURAL SIMULATORS

22390 U.S.PTO
10/761207

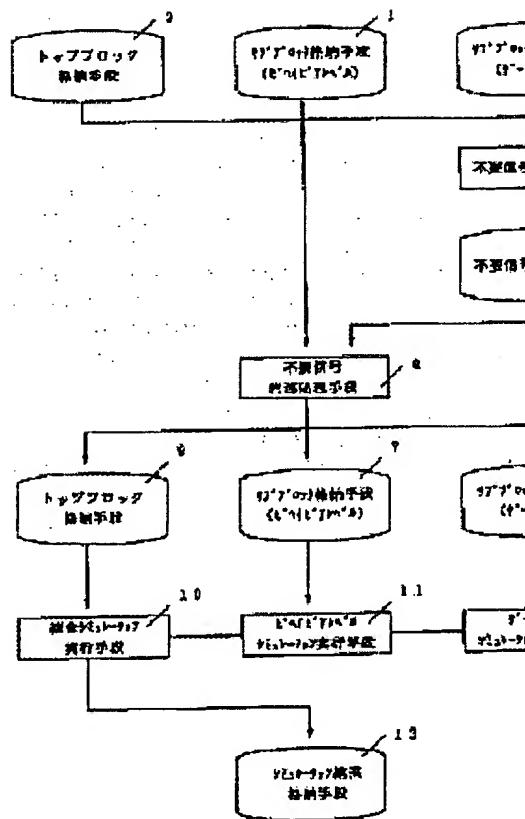


Patent number: JP9179890
Publication date: 1997-07-11
Inventor: NARITA HIROKI
Applicant: NEC CORP
Classification:
 - international: G06F17/50
 - european:
Application number: JP19950350130 19951223
Priority number(s):

Abstract of JP9179890

PROBLEM TO BE SOLVED: To reduce the transmission/reception of data between simulations and to execute the simulation at high speed by using plural simulators corresponding to respective sub-blocks so as to execute the simulation as against a new simulation model which is generated by means of removing an extracted unrequired signal.

SOLUTION: A system is provided with sub-block storing means 1, 2, 7 and 8, top block storing means 3 and 9, an unrequired signal extracting means 4, an unrequired signal storing means 5, an unrequired signal internal processing means 6, an integrated simulation executing means 10, etc. Then, the signal which is not logically used in a top block and the signal which does not observe a simulation result are extracted and the simulation model where the extracted signals are removed from the interface signal of the respective sub-blocks is generated. The plural simulators corresponding to the respective sub-blocks are used and the simulation is executed as against the simulation model.



THIS PAGE BLANK (USPTO)

(10) 日本国特許庁 (JP)

(11) 特許出願公願登号

特開平9-179890

(12) 公開特許公報 (A)

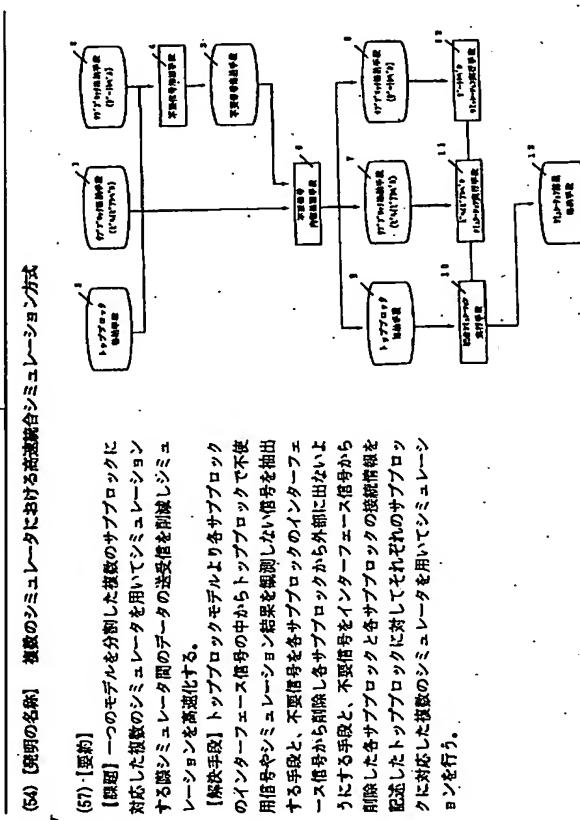
[特許請求の範囲]

【請求項 1】一つのシミュレーションモデルを複数のサブプロックに分割し、複数のシミュレータに割り当てるシミュレーションを行なうシミュレーション方式において、

(51)InCL* G 06 F 17/50 請願記号 平成9年(1997)7月11日 (43)公開日 平成9年(1997)7月11日 (41)出願番号 特開平7-350130 (71)出願人 0000042277 日本電気株式会社 東京都港区芝五丁目7番1号 (72)発明者 成田 実輔 東京都港区芝五丁目7番1号 日本電気株式会社 (74)代理人 千里士 加藤 利道

(54) [発明の名称] 複数のシミュレータにおける複数合シミュレーション方式

(57) [要約] 【課題】一つのモデルを分割した複数のサブプロックに對応した複数のシミュレータを用いてシミュレーションする際シミュレータ間のデータの送受信を削減しシミュレーションを高速化する。 【解決手段】トププロックモデルより各サブプロックのインターフェース信号の中からトププロックで不使用信号やシミュレーション結果を削除しない信号を抽出する手段と、不要信号を各サブプロックのインターフェース信号から削除し各サブプロックから外部に出ないようにする手段と、不要信号をインターフェース信号から削除した各サブプロックと各サブプロックの接続情報を配述したトププロックに対してそれそれのサブプロックに対応した複数のシミュレータを用いてシミュレーションを行う。



用してなる複数シミュレーション方式においては、複数のシミュレータを、各シミュレータ毎に処理した全結果データを送受信しながら制御することにより行なう。

[0003]また、特開平5-258002号公報には、ハードウェア記述言語、ゲートレベル回路記述等各種なる記述を処理するイベントドリブンシミュレータを任務に接続し、複数の記述が混在して表現されている回路記述をシミュレーションすることに適用し得る異種シミュレーションの同期実行制御方式として、従来の同期実行制御方式がデータの送受信をプロセス間通信で実行速度よりも遅くなり、最小時間差無に全シミュレーション同期をとることから、イベントが発生しない時刻については同期処理が無効となるという問題点を解消すべく、複数のシミュレータ(異種シミュレータ)間の全ての送受信と管理に相当する機能を開発呼び出しを行い、シミュレータを単一プロセスで統合することにより実現してなる異種シミュレータの同期実行制御方式が提案されている。

[0004]【発明が解決しようとする課題】上述した従来の複数のシミュレータを使用した統合シミュレーション方式は、各シミュレータ毎に処理したシミュレーションデータ全部を各シミュレータ間で送受信するため、シミュレータ間での送受信が多頻繁に生じ、全般的シミュレーション時間のうち、複数のシミュレータ間でのシミュレーションデータの送受信に費やされる時間の割合が大きく、高速化が難しくなる。

[0005]一方、上記特開平5-258002号公報に提案される異種シミュレータの同期実行制御方式においても、シミュレーションデータの異種シミュレータ間の送受信は変わらない。

[0006]また、上記特開平5-258002号公報に提案される従来の方式においては、シミュレータ間のデータの送受信と管理に相当する機能を複数呼び出しで行うことが必須とされており、このため既存のシミュレータを統合する場合には、シミュレータのソースコードレベルでの改造が必要となり、開発工数が増大すると共に、シミュレータの出力が接続されているビヘイビアレベルの回路/プロックの出力又はゲートレベルのゲート回路の出力を、論理的に有意味とさない信号レベルに固定することを特徴とする請求項1記載の複数のシミュレータにおける高速統合シミュレーション方式。

[0007]従って、本発明は上記従来技術の問題点に對応するためのものであつて、シミュレータ間で发生するシミュレーションデータの送受信を必要最低限に削減することを可能とする複数のシミュレータを用いた統合シミュレーションの高速化を達成することを目的とする。

[0008]【発明の技術】この種の従来の複数のシミュレータを使

1 (入力A)に1加算するインクリメントで出力がD)、
 $E = B - C$ (入力B、Cの減算器で出力がF)、が記述さ
れています。
[0015] なお、図2に示すビヘイビアレベル、ゲー
トレベル、トップレベルの回路設計におけるシナリオ
では、説明を容易にするために要約をしたものであ
り、特定のハードウェア記述言語の文法に正確に準拠し
たものではない。
[0016] 一方、図2 (b) に示すように、ゲートレ
ベル記述のサブプロックGAには、ライツアリ等に基本
単位として量産されている、第1及び第2の入力端子を
IN1、IN2とし出力をOUTとするANDゲート
(A)、ORゲート(B)、インバータゲート(C)、
及びインバータ(D)が記述され、ANDゲート(A)
の第1の入力端子とORゲート(B)の第1の入力端子
は信号Jに接続され、ANDゲート(A)の第2の入力
端子とORゲート(B)の第2の入力端子は信号Kに接
続され、ANDゲート(A)の出力はインバータ(C)
の入力に接続されると共に、信号Gに接続され、ORゲ
ート(B)の出力はインバータ(D)の入力に接続され
ると共に、信号Hに接続され、インバータ(C)の出力
は信号Iに接続され、インバータ(D)の出力は信号J
に接続される。
[0017] 図2 (c) に示すように、トッププロック
において、ビヘイビアレベル記述のサブプロックBEの
信号Fは論理的に使用しない信号であり、ゲートレベル
記述のサブプロックGAの信号Jはシミュレーション結果
を観測しない信号である。
[0018] このようなシミュレーションモデルに対し
て、ビヘイビアレベルのシミュレータとゲートレベルの
シミュレータを用いて統合シミュレーションを行う例を
以下に説明する。
[0019] 図1を参照して、サブプロック格納手段1
には、例えば図2に示した(A～F)信号をインターフ
ェース信号とするビヘイビアレベル記述のサブプロック
が格納されており、サブプロック格納手段2には、例え
ば図2に示した(G～L)信号をインターフェース信号
とするゲートレベル記述のサブプロックが格納されてい
る。トップロック格納手段3には、サブプロック格納
手段1とサブプロック格納手段2に格納されているサブ
プロックをそれぞれの信号、例えば図2に示したよう
に、(A-G)、(B-H)、(C-I)、(D-
J)、(E-K)で接続し、論理的に使用しない信号
(F)とシミュレーション結果を観測しない信号(L)
は未接続としたトップロックモードが格納されてい
る。

複数のシミュレータに割り当てるシミュレーションする限り、各サブプロックのインタフェース信号や、シミュレーション結果を複数のシミュレーターに割り当てるための信号を各サブプロックのインタフェース信号から削除した新たなシミュレーションデータの送受信数を自動的に作成し、この新たなシミュレーションモデルに対して、各サブプロックに対応した複数のシミュレーターを抽出してシミュレーションを行うことにより、シミュレータ間で発生するシミュレーションデータの送受信数を必要最低限に削減することができ、この結果、複数のシミュレータを用いた結合シミュレーションを高速化することができるという観点の作用効果を有する。

中華人民共和國農業部、中國科學院植物研究所編《中國植物志》第1卷，科學出版社，1973年。

方式を採用したシミュレータに対しても適用することができるところは勿論である。

【表面の簡単な説明】

【図1】本発明の一実施形態の構成を示す図である。

【図2】本発明の一実施形態の説明で参照する図であり、(a) はハイビアレベルのサブロック、(b) はゲートレベルのサブロック、(c) はトップロックの一例を示す図である。

【図3】本発明の一実施形態の説明するための図であり、図2のトップロックで論理的に使用されていないか、シミュレーション結果を観測しない各サブロック(ハイビアレベル、ゲートレベル)のインターフェース信号を示す図である。

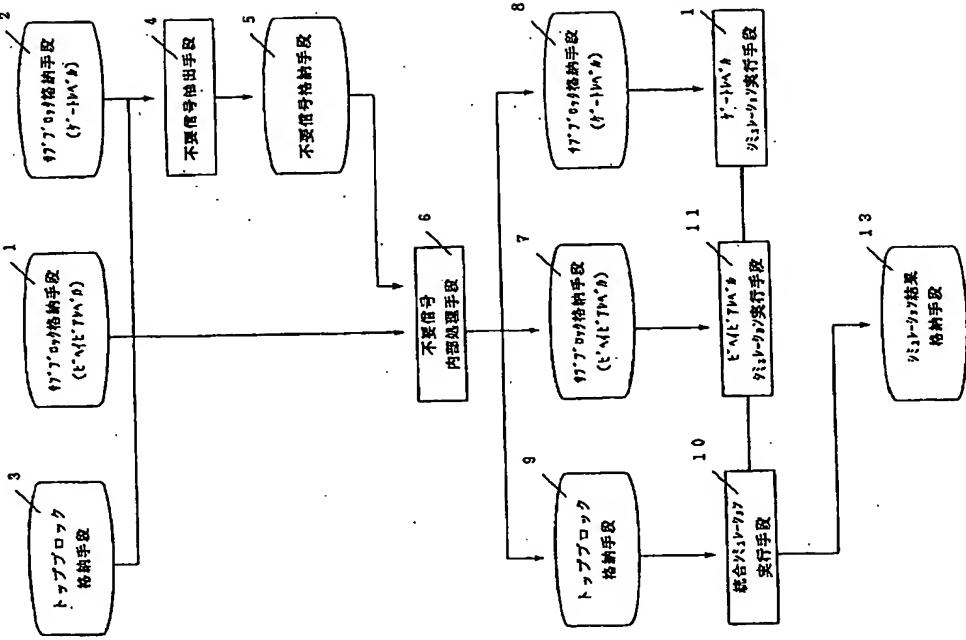
【図4】本発明の一実施形態の説明するための図であり、図2のサブロック(ハイビアレベル)、サブロック(ゲートレベル)、トップロックに対して、図

3に示す不要信号を各サブロックから外部に出ないよう処理した一例を示す図である。

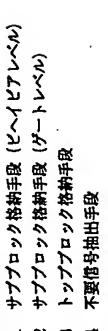
【符号の説明】

- 1 サブロック格納手段(ハイビアレベル)
- 2 サブロック格納手段(ゲートレベル)
- 3 トップロック格納手段
- 4 不要信号抽出手段
- 5 不要信号格納手段
- 6 不要信号内部処理手段
- 7 サブロック格納手段(ハイビアレベル)
- 8 サブロック格納手段(ゲートレベル)
- 9 トップロック格納手段
- 10 総合シミュレーション実行手段
- 11 ハイビアレベルシミュレーション実行手段
- 12 ゲートレベルシミュレーション実行手段
- 13 シミュレーション結果格納手段

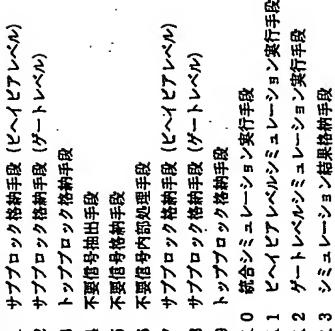
【図1】



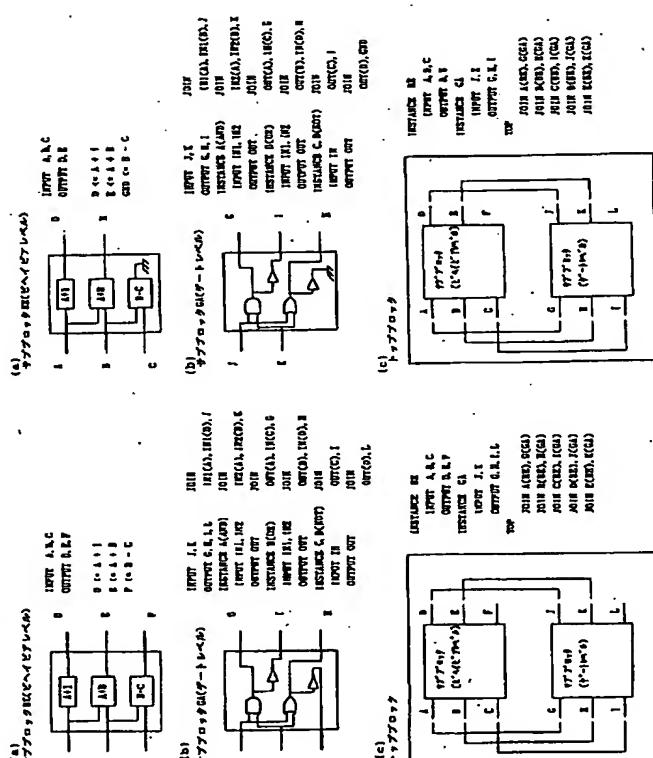
【図2】



【図3】



【図4】



(7)

特開平10-179990

【図3】

信号名	サブロック名	機能
R	リセット	論理的に未使用
L	(A,B,C,D)	ドライバ結果を視 察しない